

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189434

(P2001-189434A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 27/108
21/8242

H 0 1 L 27/10

6 2 1 C 5 F 0 8 3

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21) 出願番号 特願平11-374722

(22) 出願日 平成11年12月28日 (1999. 12. 28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 中村 俊二

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎

Fターム (参考) 5F083 AD24 AD48 AD49 GA28 JA38

JA40 KA05 LA12 LA21 MA02

MA06 MA17 MA20 NA01 PR07

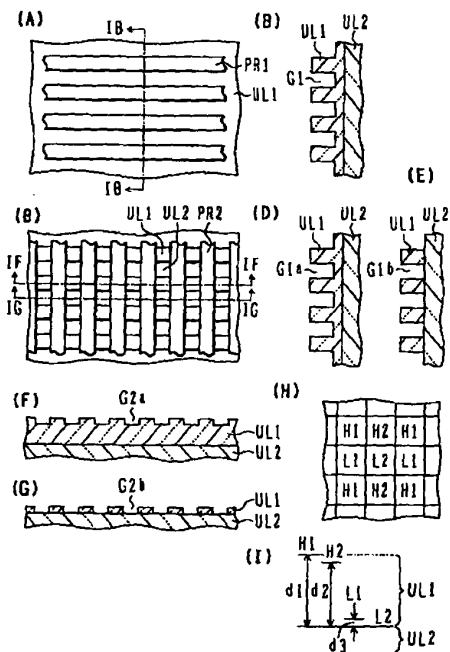
PR39 PR40

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 少ないマスク枚数で深さにより異なる断面形状を有する開口を形成することのできる半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法は、(a) 半導体基板上に層間絶縁層を形成する工程と、(b) 前記層間絶縁層上に第1の方向に平行な複数のストライプ状パターンを有する第1のマスクを形成し、前記層間絶縁層の表面より第1の中間深さに達する溝部をエッチングする工程と、(c) 前記層間絶縁層上に第1の方向に交差する第2の方向に平行な複数のストライプ状パターンを有する第2のマスクを形成し、前記第2のマスクに覆われていない溝部において前記層間絶縁層の残りの厚さをエッチングして開口を形成すると共に、溝部以外の領域で表面より第2の中間深さに達する第2の溝部をエッチングする工程とを含む。



1

【特許請求の範囲】

【請求項1】 半導体基板と、
前記半導体基板上に形成され、第1種および第2種の接続表面を有する下部構造と、
前記下部構造上に形成された層間絶縁層と、
前記層間絶縁層の表面より中間深さに達し、前記第1種の接続表面上方に延在する底面を有する溝部と、
前記溝部に形成された第1種の配線と、
前記溝部の底面から前記層間絶縁層の残りの厚さを貫通し、前記第1種の接続表面に達する第1種の開口と、
前記第1種の開口中に形成された第1種の導電部材と、
前記層間絶縁層の表面および前記第1種の配線上において、前記第2種の接続表面に対応する位置に開口を画定するように形成され、前記層間絶縁層と同一表面を形成するマスク層と、
前記マスク層の開口から前記第2種の接続表面に達する第2種の開口と、
前記第2種の開口中に形成された第2種の導電性部材とを有する半導体装置。

【請求項2】 前記第1種の開口の深さと前記マスク層の厚さとがほぼ同一である請求項1記載の半導体装置。

【請求項3】 前記層間絶縁層がエッチング特性の異なる複数の絶縁層の積層を含み、前記溝部の底面がエッチング特性の異なる絶縁層の界面で形成されている請求項1または2記載の半導体装置。

【請求項4】 さらに、前記下部構造が、
前記半導体基板表面に確定された多数の素子領域と、
前記半導体基板上において前記素子領域を横断して形成され、前記素子領域内にソース／ドレイン領域を画定する絶縁ゲート電極構造と、
前記絶縁ゲート電極構造を覆って前記半導体基板上に形成された絶縁膜と、
前記絶縁膜を貫通して形成され、その上面が前記第1種および第2種の接続表面を画定する第1種および第2種の接続プラグを含み、前記第1種および第2種の接続プラグが前記ソース／ドレイン領域の一方および他方に接続され、さらに前記第2種の導電性部材に接続されたキャパシタを有し、メモリを構成する請求項1～3のいずれか1項記載の半導体装置。

【請求項5】 複数の活性領域を有する半導体基板と、
前記活性領域を横断し、1方向に延在する複数のワード線と、
前記ワード線を覆う層間絶縁膜と、
前記層間絶縁膜上に形成され、前記ワード線に交差する方向に延在する複数のビット線と、
前記層間絶縁膜上の隣接するビット線間に形成され、細長い平面形状を有し、長辺が前記ビット線に対して傾いた方向に配置されたキャパシタとを有する半導体装置。

【請求項6】 複数の活性領域を有する半導体基板と、
前記活性領域を横断し、1方向に延在する複数のワード

2

線と、
前記ワード線を覆う層間絶縁膜と、
前記層間絶縁膜上に形成され、前記ワード線に交差する方向に延在する複数のビット線と、
前記層間絶縁膜上の隣接するビット線間に形成され、細長い平面形状を有し、前記基板表面に垂直で前記ビット線に対して平行な面内で、垂直方向から傾いた側面を有するキャパシタとを有する半導体装置。

【請求項7】 (a)半導体基板上に層間絶縁層を形成する工程と、
10 (b)前記層間絶縁層上に第1の方向に平行な複数のストライプ状パターンを有する第1のマスクを形成し、前記層間絶縁層の表面より第1の中間深さに達する溝部をエッチングする工程と、
(c)前記層間絶縁層上に第1の方向と交差する第2の方向に平行な複数のストライプ状パターンを有する第2のマスクを形成し、前記第2のマスクに覆われていない溝部において前記層間絶縁層の残りの厚さをエッチングして開口を形成すると共に、溝部以外の領域で表面より第20 2の中間深さに達する第2の溝部をエッチングする工程とを含む半導体装置の製造方法。

【請求項8】 前記工程(a)がエッチストップ膜を含む層間絶縁層を形成する工程であり、前記工程(b)がエッチストップ膜までをエッチングする工程である請求項7記載の半導体装置の製造方法。

【請求項9】 さらに、
(d)前記工程(c)の後、前記第2のマスクを後退させる工程を含む請求項7または8記載の半導体装置の製造方法。

30 【請求項10】 さらに、
(e)前記開口を埋め、前記溝部の底面から前記第2の中間深さまでを埋める第1種の配線を形成する工程と、
(f)前記第1の溝部の前記第1種の配線上、および前記第2種の溝部を埋め、前記層間絶縁層と同一表面を形成するマスク層を形成する工程と、
(g)前記マスク層に覆われていない前記層間絶縁層を、前記マスク層をマスクとしてエッチングし、孔を形成する工程と、
(h)前記層間絶縁層上に絶縁層を形成する工程と、
40 (i)前記絶縁層上に前記孔に対応する領域を内包する形状の開口を有する第3のマスクを形成する工程と、
(j)前記第3のマスクを用い、前記絶縁層と前記層間絶縁層をエッチングし、段差のある開口を形成する工程と、
(k)前記段差のある開口内に導電層を形成する工程とを有する請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に多層配線構造を有する半導体

3

装置とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置の高集積化と共に、多層配線の改良が進められている。狭い領域にコンタクトを形成するためには、セルフアラインドコンタクト（SAC）技術も採用されている。半導体集積回路装置の製造コストを低減する要求も強い。製造コストを下げるためには、使用するマスク枚数を減らすことが有効である。

【0003】図23に、従来技術によるダイナミックランダムアクセスメモリ（DRAM）の構成例を示す。図23（A）は、ビット線に平行な方向の縦断面図、図23（B）は、ビット線に直交する方向の縦断面図である。

【0004】なお、図23（A）におけるビット線111a、図23（B）における絶縁ゲート電極104は、本来はこれらの断面図には現れず、後方に隠れるべき領域である。構成の理解を容易にするため、併せて図示してある。

【0005】図23（A）に示すように、半導体基板のp型領域101表面にはシャロートレンチアイソレーション（STI）領域102の酸化膜が埋め込まれている。STI領域102は、各活性領域を画定する。活性領域表面上に、ゲート酸化膜104a、ゲート電極104bが積層され、パターニングされてゲート電極が構成される。なお、絶縁ゲート電極の上面および側面を覆うように、窒化シリコン膜等のエッチストップ膜を構成することもある。ゲート電極104bをマスクとし、露出した活性領域上にn型不純物をイオン注入し、中央部にビット線に接続されるソース／ドレイン領域103a、ゲート電極の両側に蓄積チャプタに接続される1対のソース／ドレイン領域103bが形成される。ゲート電極を覆って、第1の層間絶縁膜105が酸化シリコン等により形成される。

【0006】第1の層間絶縁膜105上に、レジストパターン等を形成し、ソース／ドレイン領域103a、103bに対するコンタクト孔をエッチングにより形成する。その後、多結晶シリコン等の導電材を堆積し、第1の層間絶縁膜105上の導電材を除去することにより、コンタクト孔内にはのみ下部プラグ107、108を残す。

【0007】その後、第1の層間絶縁膜上に酸化シリコン等の第2の層間絶縁膜109aを堆積する。この酸化シリコン層109aにマスクを形成し、例えばビット線を形成すべきトレンチを形成する。その後マスクを除去し、さらにこのトレンチの底部において、コンタクトを形成する領域に開口を有する別のマスクを形成する。この別のマスクを用いて、さらに第2の層間絶縁膜109aをエッチングすることにより、ビット線用コンタクト孔を形成する。その後、ビット線用コンタクト孔内にビ

4

ット線コンタクト111b、ビット線用トレンチ内にビット線111aを形成する。これらの部材は異なる材料で形成しても、同じ材料で形成してもよい。

【0008】さらに、ビット線111aを覆う第3の層間絶縁膜109bを堆積する。なお、SAC技術を用いる場合はビット線111aの上面および側面をエッチストップとなる膜で覆う。

【0009】第3の層間絶縁膜109bの表面上にレジスト層を形成し、蓄積電極用下部プラグ108の位置に相当する領域に層間絶縁膜109a、109bを貫通する開口を形成する。この開口内を、蓄積キャパシタコンタクト114で埋め込み、ソース／ドレイン領域103bと電気的に接続された面を第3の層間絶縁膜109b表面にまで導く。

【0010】その後、例えば酸化シリコン等の絶縁層113を形成し、蓄積電極を形成すべき領域の絶縁層113を除去し、蓄積電極116を堆積し、絶縁層113表面上の蓄積電極層を除去する。さらに、蓄積電極の表面をキャパシタ誘電体膜117で覆い、プレート電極118をその上に形成する。

【0011】図23（B）は、図23（A）と直交する方向の断面構造を示す。1対のビット線111aの間に、蓄積電極コンタクト114が形成されている。図23（A）に示すように、蓄積電極コンタクト114の占有面積を限定することにより、蓄積電極とビット線間の寄生容量は低く抑えることができる。

【0012】しかしながら、図23に示す構造は、蓄積電極116を作成するためのマスクと、蓄積電極コンタクト114を作成するためのマスクとを必要とする。

【0013】図24は、1枚のマスクで蓄積電極と蓄積電極コンタクトを作成する場合の構成を示す。

【0014】図24（A）は、ビット線111aに沿う方向の断面図であり、図24（B）は、ビット線111aに直交する方法の断面図である。図24（A）、

（B）に示すように、本構成においては蓄積電極116の断面形状がそのまま下方に延長され、蓄積電極コンタクト114を形成している。従って、蓄積電極形成用マスクと蓄積電極コンタクト形成用マスクを同一マスクで共用することができ、マスク枚数を1枚減少させることができる。

【0015】しかしながら、図24（A）に示すように、蓄積電極コンタクト114が広い面積においてビット線111aと平行に延在し、寄生容量が増大してしまう。特に、ビット線111aの側壁部に形成される絶縁膜109cを誘電率の高い窒化シリコン等で形成すると、寄生容量の増大が著しい。この部分を、酸化シリコンで形成した場合には、エッチングの選択性が無くなるため、蓄積電極コンタクトとビット線間のショートが生じ易くなる。

【0016】

【発明が解決しようとする課題】深さ方向に連続するが、断面形状の異なる孔を形成しようとする、通常2枚のマスクを必要とする。1枚のマスクを用いて孔を形成する場合には、孔の断面形状を制御するのが困難である。マスク枚数を増加すると、製造コストを低減することが難しく、マスク枚数を低減すると、所望の電気的特性が得難くなる。

【0017】本発明の目的は、少ないマスク枚数で所望の電気的特性を実現することのできる半導体装置の製造方法を提供することである。

【0018】本発明の他の目的は、少ないマスク枚数で深さにより異なる断面形状を有する開口を形成することのできる半導体装置の製造方法を提供することである。

【0019】本発明の他の目的は、少ないマスク枚数で寄生容量の小さい半導体装置を製造する方法を提供することである。

【0020】本発明のさらに他の目的は、少ないマスク枚数で製造することのできる、寄生容量の小さい半導体装置を提供することである。

【0021】

【課題を解決するための手段】本発明の1観点によれば、半導体基板と、前記半導体基板上に形成され、第1種および第2種の接続表面を有する下部構造と、前記下部構造上に形成された層間絶縁層と、前記層間絶縁層の表面より中間深さに達し、前記第1種の接続表面上方に延在する底面を有する溝部と、前記溝部内に形成された第1種の配線と、前記溝部の底面から前記層間絶縁層の残りの厚さを貫通し、前記第1種の接続表面に達する第1種の開口と、前記第1種の開口中に形成された第1種の導電部材と、前記層間絶縁層の表面および前記第1種の配線上において、前記第2種の接続表面に対応する位置に開口を画定するように形成され、前記層間絶縁層と同一表面を形成するマスク層と、前記マスク層の開口から前記第2種の接続表面に達する第2種の開口と、前記第2種の開口中に形成された第2種の導電性部材とを有する半導体装置が提供される。

【0022】本発明の他の観点によれば、(a)半導体基板上に層間絶縁層を形成する工程と、(b)前記層間絶縁層上に第1の方向に平行な複数のストライプパターンを有する第1のマスクを形成し、前記層間絶縁層の表面より第1の中間深さに達する溝部をエッチングする工程と、(c)前記層間絶縁層上に第1の方向と交差する第2の方向に平行な複数のストライプ状パターンを有する第2のマスクを形成し、前記第2のマスクに覆われていない溝部において前記層間絶縁層の残りの厚さをエッチングして開口を形成すると共に、溝部以外の領域で表面より第2の中間深さに達する第2の溝部をエッチングする工程とを含む半導体装置の製造方法が提供される。

【0023】

【発明の実施の形態】図1(A)～(I)は、本発明の

1 基本概念を概略的に示す。

【0024】図1(A)に示すように、下地層UL1の上に第1のホトレジストパターンPR1を形成する。ホトレジストパターンPR1は、図中水平方向で例示するように1方向に延在した複数のストライプが平行に配列されているパターンである。このホトレジストパターンPR1を用い、下地層UL1をエッチングする。

【0025】図1(B)は、エッチングされた下地層UL1の断面形状を概略的に示す。下地層UL1は、他の下地層UL2の上に積層されている。以下、必要に応じて、下地層UL1を第1の下地層、下地層UL2を第2の下地層と呼ぶ。ホトレジストパターンPR1に覆われていた部分はエッチングされず元の厚さのまま残る。ホトレジストパターンPR1に覆われず、露出されていた領域はエッチングされ、溝部G1を形成する。

【0026】図1(A)に示すホトレジストパターンPR1を用いて下地層UL1の厚さの一部をエッチングした後、ホトレジストパターンPR1を除去し、他のホトレジストパターンPR2を形成する。

【0027】図1(C)は、他のホトレジストパターンPR2の形状を概略的に示す。他のホトレジストパターンPR2は、図中縦方向で例示するように、第1のホトレジストパターンPR1のストライプと交差する方向に延在するストライプ状のパターンを複数含む。下地層UL1は既にホトレジストパターンPR1を用いたエッチングにより段差が形成されている。この段差を横断するように他のホトレジストパターンPR2が形成される。ホトレジストパターンPR2をマスクとし、第1の下地層UL1のエッチングをさらに行ない、溝部G1内の開口部で第2の下地層UL2を露出させる。

【0028】溝部の開口内で第2の下地層UL2が露出した時、第1のホトレジストパターンPR1を用いたエッチングにおいてはエッチされなかった領域は未だ第1の下地層UL1が残っている。

【0029】ホトレジストパターンPR1およびPR2の両開口部に露出されていた領域において第2の下地層UL2が露出した時、第1のホトレジストパターンまたは第2のホトレジストパターンPR2によって覆われていた領域は、第1の下地層UL1の所定の深さまでエッチングされる。第1および第2のホトレジストパターンPR1、PR2によって覆われていた領域は、エッチングされず、第1の下地層UL1が元の厚さのまま残っている。

【0030】図中、ID-IDに沿う断面図を図1(D)に示し、線IE-IEに沿う断面図を図1(E)に示し、同様線IF-IFに沿う断面図を図1(F)に示し、線IG-IGに沿う断面図を図1(G)に示す。なお、図に示した構成においては、最初のエッチング深さが次のエッチング深さよりも深い場合を示している。

【0031】図1(D)、(E)に示すように、縦方向

7

の断面においては、第1の下地層UL1が薄く残った溝部G1a(図1(D))と第1の下地層UL1が完全に除去された溝部G1b(図1(E))とが現れる。

【0032】また、第1のエッチングによってエッチングされなかった領域は、図1(F)に示すように、浅い溝G2aが形成される。第1のエッチングによってエッチされた領域には、図1(G)に示すように、底面で第2の下地層UL2が露出する浅い溝G2bが形成される。

【0033】すなわち、図1(H)に示すように、基板表面の領域は、第1の下地層UL1が全くエッチングされていない領域H1、第1の下地層UL1が浅くエッチングされた領域H2、第1の下地層UL1が深くエッチングされているが、完全にはエッチングされていない領域L1、第1の下地層UL1が完全にエッチングされた領域L2の4種類の厚さを有する領域に分類される。

【0034】図1(I)は、これらの高さH1、H2、L1、L2の関係を、第1の下地層の厚さd1、d2、d3と共に示す。このように、4種類の厚さの領域を形成することにより、これらの領域を用いて配線および接続孔を好適に形成することができる。

【0035】以下、DRAMの製造工程を例にとって説明する。

【0036】図2(A)は、半導体基板SUBの表面にシャロートレンチアイソレーション(STI)領域2を形成し、活性領域ARを画定した状態を示す。活性領域ARは、図中に横(行方向)に細長い形状を有し、1行ごとにたがいちがいに位置をずらせるように配置されている。縦(列方向)に隣接する活性領域AR間に行方向に延在する領域が残る。この領域がビット線を配置する領域となる。活性領域ARを横断するように基板上に縦方向に絶縁ゲート電極を兼ねるワード線WLが図示のように形成される。1つの活性領域ARの上に2本のワード線WLが配置され、各活性領域内の中央と両端にソース/ドレイン領域を画定する。ワード線WLをマスクとして、ソース/ドレイン領域に対する不純物添加をイオン注入等によって行なった後、ワード線WLを覆う第1の層間絶縁膜が形成される。

【0037】SAC工程を用いる場合は、ワード線WLの上面および側面をエッチストップとなる膜で覆った後層間絶縁膜が形成される。例えば、層間絶縁膜がシリコン酸化膜の場合、エッチストップとして窒化シリコン膜が用いられる。

【0038】図2(B)に示すように、第1の層間絶縁膜にコンタクト用開口OP1、OP2が形成される。これらのコンタクト用開口内を埋め込むように多結晶シリコン等の導電材が堆積され、第1の層間絶縁膜上に堆積した導電材を除去し、開口内のみ下部プラグ7、8を残す。

【0039】なお、ワード線WLの表面がエッチストップ膜で覆われている場合、下部プラグ7、8形成用の開

8

口はSAC工程により行なうことができる。

【0040】なお、図中ビット線が配置される領域に沿う水平方向のXA-XA線に沿う断面を以下の図面における(A)で示し、活性領域ARのほぼ中央部を行方向に通るXB-XB線に沿う断面を以下の図面において(B)で示し、下部プラグ7のほぼ中央を通る列方向XC-XC線に沿う断面図を以下の図面において(C)で示し、下部プラグ8を通る縦方向XD-XD線に沿う断面を以下の図面において(D)で示す。

10 【0041】図3(A)、(B)、(C)、(D)に示すように、下部プラグ7、8を埋め込んだ第1の層間絶縁膜5の上に酸化シリコン等の第2の層間絶縁膜9を形成し、その上に第1のホトレジストパターンPR1を形成する。

【0042】図5(A)は、第1のホトレジストパターンPR1の形状を概略的に示す。第1のホトレジストパターンPR1は、横方向に延在したストライプ状パターンが縦方向に周期的に配置された形状を有する。

【0043】ホトレジストパターンPR1を用いて第2の層間絶縁膜9を途中の深さまでエッチングする。溝内に残る第2の層間絶縁膜9の厚さは、後に形成するエッチストップ膜の厚さに対応して選択される。

【0044】図3(A)、(B)、(C)、(D)は、図2(B)に示す各線XA-XA線、XB-XB線、XC-XC線、XD-XD線に沿う断面図である。

【0045】基板1のp型領域表面にSTI領域2が形成され、活性領域ARの中央のソース/ドレイン領域3aからSTI領域2上に延在する下部プラグ7が形成され(図3(C)参照)、活性領域両端のソース/ドレイン領域には下部プラグ8が形成されている(図3(B)参照)。

【0046】第1の層間絶縁膜5の表面上には第2の層間絶縁膜9が形成され、ホトレジストパターンPR1をマスクとしたエッチングにより、図3(A)に示すようにビットライン用溝BLGが形成されている。なお、ビットライン用溝BLGは、図3(A)、(C)に示すように、一定間隔で第1の層間絶縁膜5を貫通する下部プラグ7の上方に配置されている。

【0047】下部プラグ8は、図3(B)、(D)に示すように、厚い第2の層間絶縁膜9で覆われている。このようにして、図2(A)、(B)における水平(行)方向に沿ったビット線用溝BLGが形成される。その後、第1のホトレジストパターンPR1は除去する。

【0048】図4(A)、(B)、(C)、(D)に示すように、第2の層間絶縁膜9の上に第2のホトレジストパターンPR2を形成する。

【0049】図5(B)は、第2のホトレジストパターンPR2の形状を概略的に示す。第2のホトレジストパターンPR2は、下部プラグ7よりも幅広の開口部を画定し、下部プラグ8よりも幅広のストライプ状パターン

50

9

が横方向に周期的に配置された形状を有する。

【0050】図4(A)、(B)、(C)、(D)は、第2のホトレジストパターンPR2を用いて、第2の層間絶縁膜9をさらにエッチングした状態を示す。第2のホトレジストパターンPR2は、図2(A)、(B)における縦方向に沿ったストライプ(ワード線)上に配置されている。ビットライン用溝の部分では、図4(A)に示すように第2のホトレジストパターンPR2の厚さは厚く、ビットライン用溝BLG間の領域においては図4(B)に示すように第2のホトレジストパターンPR2の厚さは小さくなる。

【0051】第2のホトレジストパターンPR2をマスクとし、ビットライン用溝BLGの下部で第2の層間絶縁膜9が無くなるまでエッチングを行なう。この時、第2のホトレジストパターンPR2に覆われていない領域においては、図4(B)に示すように第2の層間絶縁膜9が1部エッチングされる。このエッチング深さは、ほぼビットライン用溝BLG下に残っていた第2の層間絶縁膜9の厚さにほぼ等しい。

【0052】なお、オーバーエッチングを行なう場合、図4(B)の凹部の深さは第2の層間絶縁膜9の残部の厚さよりも深くなるが、本明細書においてはこのような場合も含め、ほぼ等しい厚さと呼ぶ。

【0053】図4(C)、(D)に示す縦方向のXC-XC線、XD-XD線に沿う断面においては、第2のホトレジストパターンPR2に覆われていない領域では、ビットライン用コンタクト孔BLCが各下部プラグ7中央部に形成され、第2のホトレジストパターンPR2に覆われている領域においてはビットライン用溝BLGを形成した第2の層間絶縁膜9が元の形状を保つ。

【0054】なお、ビットライン用溝BLGに沿った方向においては、図4(A)に示すように、ビットライン用コンタクト孔BLCの幅は下部プラグ7の幅よりも大きい。

【0055】その後、第2のホトレジストパターンPR2を除去する。

【0056】図6(A)、(B)、(C)、(D)に示すように、基板全面に窒化シリコン膜等のエッチストップ膜を堆積し、エッチバックして平坦面上のエッチストップ膜を除去し、段差部の側壁にのみエッチストップ膜10を残す。その後、基板全面に薄いTi層(50Å厚)およびTiN層(100Å厚)と厚いW層を堆積し、先ず第2の層間絶縁膜上面までエッチバック、化学機械研磨(CMP)等により除去し、さらに浅い溝内のW層を除去するようにエッチバックを行なう。

【0057】ビットライン用コンタクト孔BLCおよびビットライン用溝BLにはWで形成されたビットライン11が形成される。ビットライン11の上面は第2の層間絶縁膜表面からさらに下に掘り下げられており、第2の層間絶縁膜9表面部の浅い溝部からはTi層、TiN

10

層、W層が除去されている。なお、上述のように、ビットラインは、通常多層の導電体膜で形成されるが、単層で形成することもできる。

【0058】図6(D)に示すように、ビット線11の上部には浅い空間が形成される。

【0059】図7(A)、(B)、(C)、(D)に示すように、第2の層間絶縁膜9上部の浅い溝を埋め戻すように窒化シリコン等のエッチストップ膜12が堆積され、第2の層間絶縁膜9最上面上のエッチストップ膜12がCMP等により除去される。

【0060】図7(A)、(C)、(D)に示すように、ビット線11の上面はエッチストップ膜12によって覆われる。

【0061】図7(B)、(D)に示すように、ビット線11間の領域において、下部プラグ8に対応する領域には、第2の層間絶縁膜9の最上面が露出される。この第2の層間絶縁膜9が露出している領域は、周囲をエッチストップ膜10、12で囲まれた形状となる。

【0062】図8(A)、(B)、(C)、(D)に示すように、エッチストップ膜12をマスクとし、露出している第2の層間絶縁膜9の異方性エッチングを行なう。第2の層間絶縁膜9が異方的にエッチングされ、下部プラグ8を露出する蓄積ノード開口SNCが形成される。この蓄積ノード開口SNCは、ビットラインコンタクト領域を画定するためのマスクを利用して形成することができ、別個のマスクを必要としない。

【0063】図9(A)、(B)、(C)、(D)に示すように、形成した蓄積ノード用開口SNC内に蓄積電極用プラグ14を形成する。例えば、基板全面上に多結晶シリコン層を堆積し、CMPなどによりエッチストップ膜12よりも上の多結晶シリコン層を除去することにより蓄積電極用プラグ14が残される。

【0064】その後、公知の方法により蓄積電極用プラグ14の上に蓄積キャパシタを形成する。例えば、酸化シリコン等の犠牲膜を先ず形成し、蓄積電極用の開口を形成する。この蓄積電極用開口内に蓄積電極16を例えばRu膜の堆積により形成する。犠牲膜上面上の蓄積電極膜を除去した後、犠牲膜を除去し、全面にキャパシタ誘電体膜17を形成し、さらにその上にプレート電極18を形成する。

【0065】このようにして、各蓄積電極用プラグ14の上に蓄積キャパシタが形成される。なお、蓄積電極で開口を埋め戻した後、犠牲膜を除去すれば、図示のリング型蓄積電極に代えてピラー型蓄積電極を得ることができる。

【0066】なお、図8のエッチング工程を省略し、蓄積電極用開口と同時に図8に対応するエッチングを行ない、蓄積電極と同時に蓄積電極用プラグを形成してもよい。

【0067】本実施例の用いるホトレジストパターン

は、図5(A)、(B)に示すような単純な形状のもので良い。交差する2方向に深い溝と浅い溝を形成することにより、深い溝と浅い溝の重なる部分で接続用開口を形成する。ビット線を埋め込んだ後、浅い溝に対応する深さまでビット線上面を下げる。エッチングされなかった表面よりも凹んだ部分にエッチストップ膜を埋め込む。

【0068】このようにして、自動的に第1および第2のホトレジストマスクPR1、PR2で覆われていた領域の第2の層間絶縁膜表面を露出する。この露出した第2の層間絶縁膜をエッチすることにより、蓄積キャパシタ用の下部プラグの上面(接続表面)を露出することができる。

【0069】本実施例においては、図3に示すエッチングの深さをエッチング時間などにより制御し、第2の層間絶縁膜がエッチされ終わる前にエッチングを停止することが必要である。

【0070】また、図5(B)の平面図から分かるように、ビット線用コンタクトの幅とその後形成される蓄積キャパシタ用コンタクト孔の幅とが相関しており、一方を増加させると他方が減少する関係にある。ビット線コンタクト用孔を狭くしようとする、蓄積ノード用コンタクト孔が広がってしまう。すると、ビット線と蓄積キャパシタ間の寄生容量が増大することになる。

【0071】図10～図12は、DRAM装置の他の製造方法を示す。

【0072】図10(A)、(B)、(C)、(D)は、第1の実施例の図3に対応する工程を示す。

【0073】本実施例においては、第2の層間絶縁膜9を単一層で形成する代わりに、エッチング特性の異なる複数の層で形成している。図示の場合、第2の層間絶縁膜は酸化シリコン層9a、窒化シリコン層9b、酸化シリコン層の3層が積層された構造である。上側の酸化シリコン層9cが主となる層間絶縁膜である。中間の窒化シリコン層9bは、エッチストップとしての機能を果たせばよく、その厚さは薄く選択される。下側の酸化シリコン層9aは、ビット線11aと下部プラグ8との間の絶縁膜に対応し、第2の層間絶縁膜上部に形成される段差を調整するための厚さを有する。

【0074】図10に示すエッチング工程は、窒化シリコン層9bをエッチストップ膜として利用して行なわれる。従って、エッチングは窒化シリコン層9b表面で自動的に停止する。このため、エッチング深さの制御が容易になる。

【0075】図11(A)、(B)、(C)、(D)に示すように、基板上面上に第2のホトレジストパターンPR2を形成する。この第2のホトレジストパターンPR2をマスクとし、露出した窒化シリコン層9b、その下の酸化シリコン層9aのエッチングを行なう。この時、第2のホトレジストパターンPR2に覆われていな

い第2の層間絶縁膜の上層表面には浅い溝が形成される。この工程は、図4に示した工程に対応する。

【0076】図12(A)、(B)、(C)、(D)に示すように、ビット線用溝BLG側壁上にエッチストップ膜10を形成し、エッチバックして平坦面上のエッチストップ膜を除去し、段差部の側壁にのみエッチストップ膜10を残した後、ビット線11を形成し、その上面を第2の層間絶縁膜の浅い溝の底面が現れるように掘り下げる。その後、窒化シリコン層等のエッチストップ膜12を堆積し、CMPなどを行なうことにより第2の層間絶縁膜9cの最上面を露出させる。この工程は、図7までの工程に対応する。その後第1の実施例と同様の工程を行なうことにより、蓄積キャパシタを形成する。

【0077】本実施例によれば、第2の層間絶縁膜をエッチストップ膜を含む積層構造としたため、ビット線形成用溝のエッチングが自動停止し、エッチングの制御は容易になる。しかしながら、ビット線コンタクト孔と蓄積電極接続用開口の幅との関係は前述の実施例と同様である。

20 【0078】図13～19は、ビットコンタクト孔の幅と、蓄積キャパシタコンタクト用孔の幅を独立に選択することのできる実施例を示す。

【0079】図13(A)、(B)、(C)、(D)に示すように、第2の実施例同様の積層構造を有する第2の層間絶縁膜を用い、ビット線用溝を形成した後、第1のホトレジストパターンPR1を除去し、第2のホトレジストパターンをPR2を作成する。ここで、第2のホトレジストパターンPR2は、ビット線コンタクト孔を形成する領域の幅と等しい幅のストライプ状開口を有する。この第2のホトレジストパターンPR2をマスクとして用い、窒化シリコン層9b、酸化シリコン層9aのエッチングを行ない、ビット線コンタクト用下部プラグ7の表面を露出させる。この時、図13(B)、(C)に示すように、ビット線用溝以外の領域で第2のホトレジストパターンPR2により覆われていない領域も、窒化シリコン層9b、酸化シリコン層9aの厚さの和に対応する深さエッチングされることは前述の実施例と同様である。

40 【0080】図14(A)、(B)、(C)、(D)に示すように、ビット線コンタクト用下部プラグ8の表面が露出した後、第2のホトレジストパターンPR2aをアッシング等により横方向に後退させる。第2のホトレジストパターンPR2が横方向に後退し、新たなレジストパターンPR2aとなる。残るホトレジストパターンPR2aの幅は、蓄積キャパシタ用コンタクト孔に対応する寸法とする。

【0081】図15(A)、(B)、(C)、(d)に示すように、前述の実施例同様ビット線11を形成し、その上面を第2の層間絶縁最上面より掘り下げた後、凹部に窒化シリコン等のエッチストップ膜12を埋め込

む。

【0082】図16(A)、(B)、(C)、(D)に示すように、エッチストップ層12及び露出している酸化シリコン層9cの上面上に厚い酸化シリコン層等の絶縁層13を形成する。絶縁層13の上に蓄積電極用開口を有するレジストパターンを形成し、絶縁層13の異方的エッチングを行なう。絶縁層13中に、蓄積電極の形状にならった開口が形成される。なお、図示の状態においては、エッチストップ層12の表面が露出した段階を示している。

【0083】図17(A)、(B)、(C)、(D)に示すように、さらに連続してエッチングを行なうと、エッチストップ層12が露出した領域においてはエッチングが抑制されるが、酸化シリコン層9cが露出した領域においてはエッチングが連続して行なわれる。

【0084】なお、薄い窒化シリコン層9bが露出した状態において一旦エッチングは停止するが、窒化シリコン層をエッチングできるエッチングを行なうことにより、窒化シリコン層9bはエッチングされる。この時、比較的厚いエッチストップ層12もわずかにエッチングされるが、その大部分は残る。続いて、酸化シリコン層9aのエッチングを行ない、蓄積電極用下部プラグ8の上面を露出させる。

【0085】図18(A)、(B)、(C)、(D)に示すように、蓄積電極用開口が形成された基板上に、蓄積電極として例えばRu層(あるいはTiN、WN、W、SRO…等の層)の積層からなる蓄積電極16を成膜する。この蓄積電極16の成膜において、蓄積電極用下部プラグ8の上に形成された開口も埋め戻される。その後、絶縁層13上面上に堆積した蓄積電極層は、CMPなどにより除去する。なお、蓄積電極16の電極材は後に形成されるキャパシタ誘電体膜との相性を考えて相応しいものが選択される。

【0086】図19(A)、(B)、(C)、(D)に示すように、蓄積電極表面を覆うようにキャパシタ誘電体膜17を堆積した後、プレート電極18を形成する。このようにして、DRAM装置のメモリ構造が形成される。なお、前記CMPの後に絶縁層13をすべて除去し、その後キャパシタ誘電体膜17を堆積、プレート電極18を形成してシリンダ型のキャパシタ構造としてもよい。さらに、蓄積電極16を蓄積電極用開口を埋めるように形成し、CMP後、シリンダ型の場合と同様の工程を行い、ピラー型キャパシタ構造としてもよい。

【0087】第3の実施例においては、ビット線コンタクト用開口を形成した後、レジストパターンを後退させることにより蓄積電極用開口の寸法を調整した。同様の効果を他の方法により実現することもできる。レジスト層は、厚さに分布がある場合、露光される領域に差が生じる。この点を有効に利用してビット線用開口と蓄積電極用開口の寸法を調整することができる。

【0088】図20は、第2のホトレジストパターンPR2をレジスト層の厚さの差により露光パターンに差が出るように処理した場合を示す。ビット線用溝BLGは深く掘り下げられており、その上に形成されるレジストパターンは厚くなる。ビット線用溝間に形成されたレジスト層は、層間絶縁膜が厚いため、その厚さが薄くなる。

【0089】ポジ型レジストを用いて第2のホトレジストパターンPR2を露光すると、深いビット線溝BLGにおいては露光、現像される領域幅が狭くなり、絶縁層が厚く、その上のレジスト層が薄い領域においては、露光される領域の幅が広がる。従って、ビット線用開口を幅狭く形成し、かつ蓄積電極用コンタクト孔のパターンも幅狭くすることができ。なお、レジスト厚による露光領域幅の変化(第3の実施例)とレジスト幅の後退(第2の実施例)とを組み合わせることもできる。

【0090】蓄積電極とビット線間の寄生容量は、その対向面積を減少させることによって減少させることができる。

【0091】図21(A)、(B)、(C)、(D)は、蓄積電極の平面形状をビット線に対し傾けることにより、ビット線と蓄積電極との間に発生する容量を減少させる実施例を示す。これらの構成においては、図24に示した実施例同様、蓄積電極用パターンを有するマスクを用い、連続した工程で蓄積電極用コンタクトも作成するものとする。

【0092】図21(A)においては、基板上に複数のワード線WLが縦方向に延在し、その上部にビット線BLが横方向に延在した構成とする。ワード線WL、ビット線BLは、共にエッチストップ膜によりその上面、側面を覆われているものとする。蓄積電極用コンタクトSCは、図に示すように平面形状が矩形であり、ビット線BL、ワード線WLに対し左下がりの傾いた方向に配置される。蓄積電極用コンタクトSCの長辺がビット線BLと平行に配置されると、その全長が容量の形成に寄与するが、図示のように斜めに配置した場合、ビット線BLと対向する蓄積電極用コンタクトSCはその対向面積が減少している。ビット線BL上に配置される蓄積電極用コンタクトSCは、その間に厚い絶縁膜を介在させれば、寄生容量増加に大きな影響は与えない。

【0093】図21(B)は、蓄積電極用コンタクトSCを行方向に沿って交互に右下がり、左下がりの形状に配置した場合を示す。蓄積電極用コンタクトSCが、ビット線BLに対し斜めに配置されている点に関しては、図21(A)と同様である。

【0094】図21(C)は、蓄積電極用コンタクトSCの平面形状を長方形から山形(シェブロン型)に変更した場合を示す。

この場合も、山形の頂上側においては蓄積電極とビット線の対向する面積が大幅に減少し、全体としての寄生容量を減少させることができる。

15

【0095】図21(D)は、山型の向きを行方向に沿って交互に上向き、下向きに配置した場合を示す。この場合も、山型の頂上側において蓄積電極がビット線と対向する面積は減少し、寄生容量は減少する。

【0096】図22(A)、(B)は、蓄積電極の下部にテーパを持たせた構成を示す。(A)は長方向の断面形状を示し、(B)は短辺方向の断面形状を示す。ビット線BLに平行な方向で、蓄積電極16の形状は次第にビット線方向の幅(長辺方向の幅)を減少させ、一方、ワード線方向の幅(短辺方向の幅)のほぼ減少させることなく、下部プラグ8に到達する。蓄積電極16がその下部に長辺方向にのみテーパを有するため、下部プラグ8に対しては必要最小限の面積で接触し、上部では必要な容量を形成するのに十分な幅を有することができる。

【0097】蓄積電極16がその幅を変化させないで下部プラグ8まで到達する場合と比べ、ビット線BLと対抗する蓄積電極領域の面積が減少し、寄生容量を減少させることができる。また、露光工程による位置合わせずれ等により目的とするプラグ以外の導電部材に接触し、短絡等の事故を起こす危険性を減少することができる。この点においては、位置合わせに余裕が生じる。なお、蓄積電極の短方向にも長方向と同じ角度のテーパを付けると、狭い蓄積電極の短方向はさらに狭くなり、下部プラグ8に対して十分な接触面積をとれなくなる。よって長辺方向にのみテーパを付ける事が重要である。

【0098】なお、本実施ではビット線とワード線が直角に交わる場合についても説明したが、DRAMの平面レイアウトによってはビット線とワード線が斜めに交わる場合もあるが、蓄積電極の一辺とビット線が相対的に傾いてくれば同様の効果を達成できる。

【0099】図22(C)、(D)は、このようなテーパを形成する製造方法の例を示す。

【0100】図22(C)は、ビット線BLに平行な方向の断面である。蓄積電極用開口のエッチングにおけるイオン照射方向をビット線に平行な方向に沿ってスイングさせることによりテーパを形成する方法を示している。

【0101】絶縁層13をエッチングする段階においては、プラズマはほぼ垂直に入射させ、垂直な側壁を形成する。層間絶縁膜9が露出した後、イオンの入射方向をビット線に平行な図の紙面内平面で左右に傾けて振ることにより、両方向からのイオンが照射される領域のエッチング速度を高め、一方の方向からのみイオンが入射する部分のエッチング速度を遅らせることができる。

【0102】イオンの入射方向の変更は、連続的にスイングしても良く、所定の2以上の角度からの照射を切り替えて行なっても良い。また、上記方法では先に垂直な側壁の開口を形成し、後にテーパを形成する方法について説明したが、逆にテーパを持った開口を形成し、

16

次に垂直な方向のエッチングを行い、テーパ部を下方へ平行移動するようにエッチングさせて結果的に同じ形状の開口部を形成させてもよい。

【0103】図22(D)は、ビット線BLに直交する方向の断面で見たイオンの入射角度を示す。イオンの入射方向は、1方向にのみスイングされ、それに直交する方法においてはスイングされない。従って、ビット線BL間の領域においては、ビット線BLに平行な垂直側面がエッチされる。

10 【0104】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0105】なお、本発明の特徴は以下の項目を含む。

【0106】

【項1】 半導体基板と、前記半導体基板上に形成され、第1種および第2種の接続表面を有する下部構造と、前記下部構造上に形成された層間絶縁層と、前記層間絶縁層の表面より中間深さに達し、前記第1種の接続表面上方に延在する底面を有する溝部と、前記溝部内に形成された第1種の配線と、前記溝部の底面から前記層間絶縁層の残りの厚さを貫通し、前記第1種の接続表面に達する第1種の開口と、前記第1種の開口中に形成された第1種の導電部材と、前記層間絶縁層の表面および前記第1種の配線上において、前記第2種の接続表面に対応する位置に開口を画定するように形成され、前記層間絶縁層と同一表面を形成するマスク層と、前記マスク層の開口から前記第2種の接続表面に達する第2種の開口と、前記第2種の開口中に形成された第2種の導電性部材とを有する半導体装置。

【0107】

【項2】 前記第1種の開口の深さと前記マスク層の厚さとがほぼ同一である項1記載の半導体装置。

【0108】

【項3】 前記層間絶縁層がエッチング特性の異なる複数の絶縁層の積層を含み、前記溝部の底面がエッチング特性の異なる絶縁層の界面で形成されている項1または2記載の半導体装置。

【0109】

40 【項4】 さらに、前記下部構造が、前記半導体基板表面に確定された多数の素子領域と、前記半導体基板上において前記素子領域を横断して形成され、前記素子領域内にソース/ドレイン領域を画定する絶縁ゲート電極構造と、前記絶縁ゲート電極構造を覆って前記半導体基板上に形成された絶縁膜と、前記絶縁膜を貫通して形成され、その上面が前記第1種および第2種の接続表面を画定する第1種および第2種の接続プラグとを含む項1～3のいずれかに記載の半導体装置。

【0110】

50 【項5】 前記第1種および第2種の接続プラグが前記

17

ソース／ドレイン領域の一方および他方に接続され、さらに前記第2種の導電性部材に接続されたキャパシタを有し、メモリを構成する項4記載の半導体装置。

【0111】

【項6】 前記キャパシタが、前記マスク層表面上に張り出した部分を有する項5記載の半導体装置。

【0112】

【項7】 複数の活性領域を有する半導体基板と、前記活性領域を横断し、1方向に延在する複数のワード線と、前記ワード線を覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記ワード線に交差する方向に延在する複数のビット線と、前記層間絶縁膜上の隣接するビット線間に形成され、細長い平面形状を有し、長辺が前記ビット線に対して傾いた方向に配置されたキャパシタとを有する半導体装置。

【0113】

【項8】 複数の活性領域を有する半導体基板と、前記活性領域を横断し、1方向に延在する複数のワード線と、前記ワード線を覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記ワード線に交差する方向に延在する複数のビット線と、前記層間絶縁膜上の隣接するビット線間に形成され、細長い平面形状を有し、前記基板表面に垂直で前記ビット線に対して平行な面内で、垂直方向から傾いた側面を有するキャパシタとを有する半導体装置。

【0114】

【項9】 (a)半導体基板上に層間絶縁層を形成する工程と、(b)前記層間絶縁層上に第1の方向に平行な複数のストライプ状パターンを有する第1のマスクを形成し、前記層間絶縁層の表面より第1の中間深さに達する溝部をエッチングする工程と、(c)前記層間絶縁層上に第1の方向と交差する第2の方向に平行な複数のストライプ状パターンを有する第2のマスクを形成し、前記第2のマスクに覆われていない溝部において前記層間絶縁層の残りの厚さをエッチングして開口を形成すると共に、溝部以外の領域で表面より第2の中間深さに達する第2の溝部をエッチングする工程とを含む半導体装置の製造方法。

【0115】

【項10】 前記工程(a)がエッチストップ膜を含む層間絶縁層を形成する工程であり、前記工程(b)がエッチストップ膜までをエッチングする工程である項9記載の半導体装置の製造方法。

【0116】

【項11】 さらに、(d)前記工程(c)の後、前記第2のマスクを後退させる工程を含む項9または10記載の半導体装置の製造方法。

【0117】

【項12】 さらに、(e)前記開口を埋め、前記溝部の底面から前記第2の中間深さまでを埋める第1種の配線

18

を形成する工程と、(f)前記第1の溝部の前記第1種の配線上、および前記第2種の溝部を埋め、前記層間絶縁層と同一表面を形成するマスク層を形成する工程と、(g)前記マスク層に覆われていない前記層間絶縁層を、前記マスク層をマスクとしてエッチングし、孔を形成する工程とを有する項9-11のいずれかに記載の半導体装置の製造方法。

【0118】

【項13】 さらに、(h)前記層間絶縁層上に絶縁層を形成する工程と、(i)前記絶縁層上に前記孔に対応する領域を内包する形状の開口を有する第3のマスクを形成する工程と、(j)前記第3のマスクを用い、前記絶縁層と前記層間絶縁層をエッチングし、段差のある開口を形成する工程と、(k)前記段差のある開口内に導電層を形成する工程とを有する項12記載の半導体装置の製造方法。

【0119】

【発明の効果】以上説明したように、本発明によれば、少ないマスク枚数で多層構造を有する半導体装置を製造することができる。DRAMにおいては、少ないマスク枚数で製造でき、かつビット線と蓄積容量間の寄生容量を減少させることができる。

【図面の簡単な説明】

【図1】 本発明の基本概念を説明するための上面図及び断面図である。

【図2】 本発明の第1の実施例による半導体装置の製造方法を説明するための平面図である。

【図3】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図である。

30 【図4】 本発明の第1の実施例による半導体層値の製造方法を説明するための断面図である。

【図5】 本発明の第1の実施例による半導体層値の製造方法を説明するための平面図である。

【図6】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図である。

【図7】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図である。

【図8】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図である。

40 【図9】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図である。

【図10】 本発明の第2の実施例による半導体装置の製造方法を説明するための断面図である。

【図11】 本発明の第2の実施例による半導体装置の製造方法を説明するための断面図である。

【図12】 本発明の第2の実施例による半導体装置の製造方法を説明するための断面図である。

【図13】 本発明の第3の実施例による半導体装置の製造方法を説明するための断面図である。

50 【図14】 本発明の第3の実施例による半導体装置の

19

製造方法を説明するための断面図である。

【図 15】 本発明の第 3 の実施例による半導体装置の製造方法を説明するための断面図である。

【図 16】 本発明の第 3 の実施例による半導体装置の製造方法を説明するための断面図である。

【図 17】 本発明の第 3 の実施例による半導体装置の製造方法を説明するための断面図である。

【図 18】 本発明の第 3 の実施例による半導体装置の製造方法を説明するための断面図である。

【図 19】 本発明の第 3 の実施例による半導体装置の製造方法を説明するための断面図である。

【図 20】 本発明の他の実施例によるホトレジストパターンを示す平面図である。

【図 21】 本発明の他の実施例による半導体メモリ装置の蓄積電極の形状を示す平面図である。

【図 22】 本発明の他の実施例による半導体メモリ装置の構造及びその製造方法を示す断面図である。

【図 23】 従来の技術の 1 例を示す断面図である。

【図 24】 従来の技術の他の例を示す断面図である。

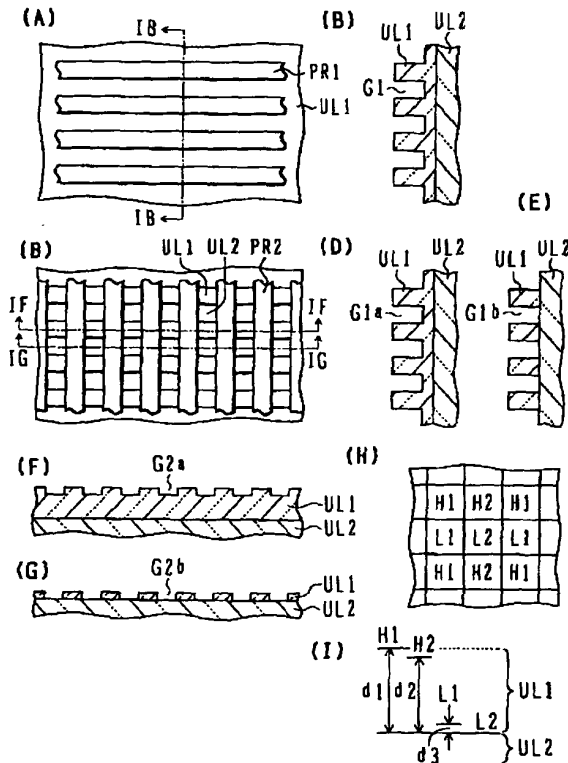
【符号の説明】

- 1 半導体基板 (p 型領域)
2 シャロートレンチアイソレーション (STI) 領域

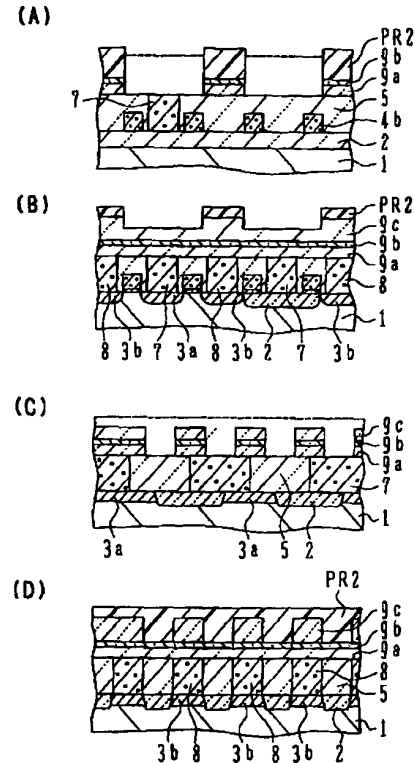
20

- 3 ソース/ドレイン領域
3 a ビット線接続ソース/ドレイン領域
3 b キャパシタ接続ソース/ドレイン領域
4 絶縁ゲート電極構造
4 a ゲート絶縁膜
4 b ゲート電極
5 (第 1 の) 層間絶縁膜
7 ビット線用下部プラグ
8 蓄積電容量用下部プラグ
10 9 (第 2 の) 層間絶縁膜
10 エッチストップ用サイドウォール
11 ビット線
12 エッチストップパ膜
13 絶縁膜
16 蓄積電極
17 キャパシタ誘電体膜
18 プレート電極
SUB 基板
UL 下地層
20 PR ホトレジスト
AR 活性領域
BL ビット線
WL ワード線

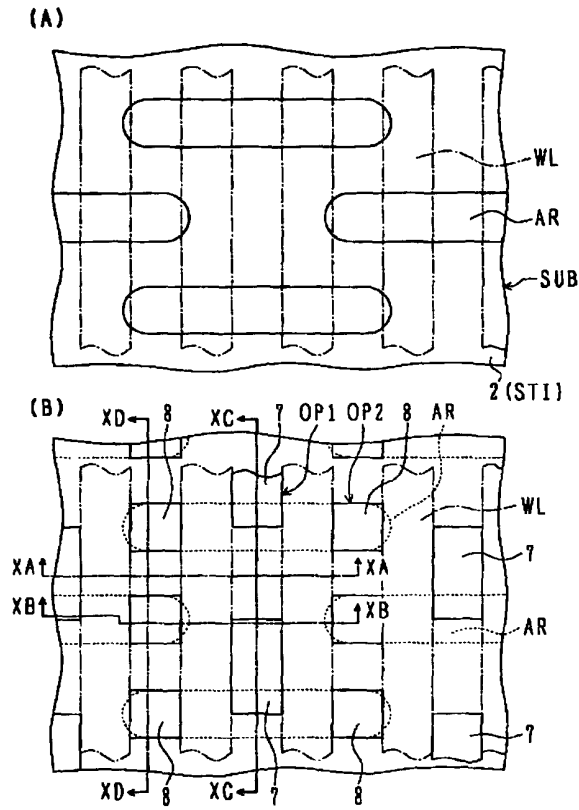
【図 1】



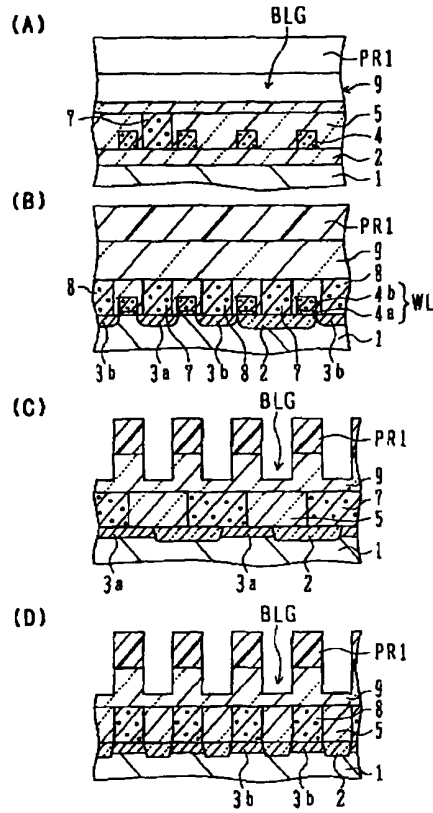
【図 11】



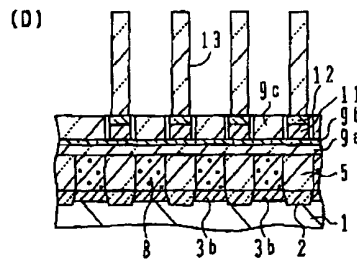
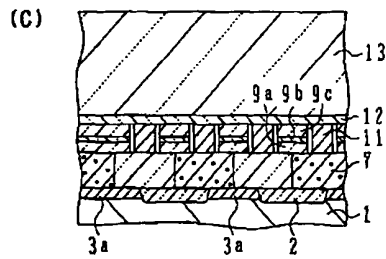
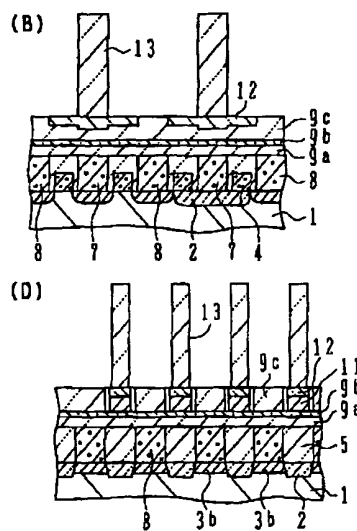
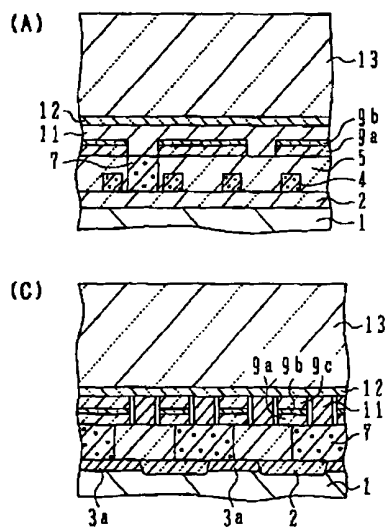
【図2】



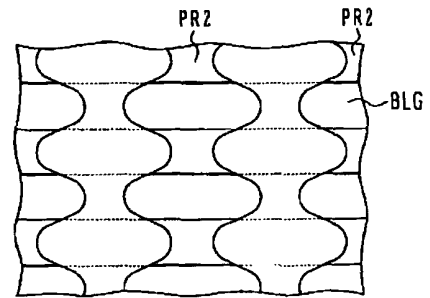
【図3】



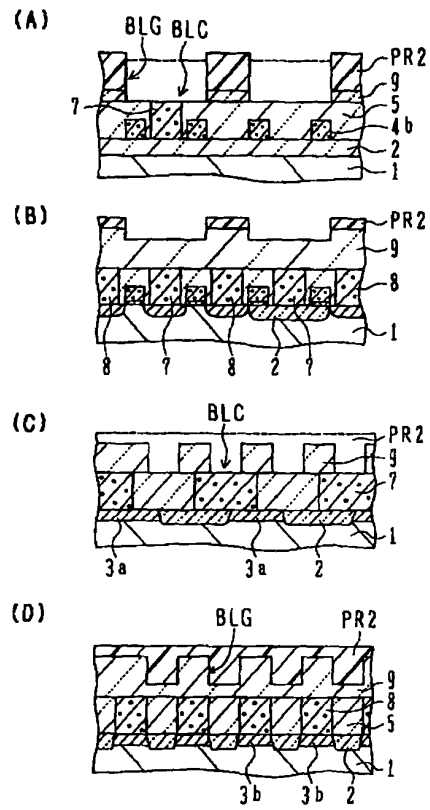
【図16】



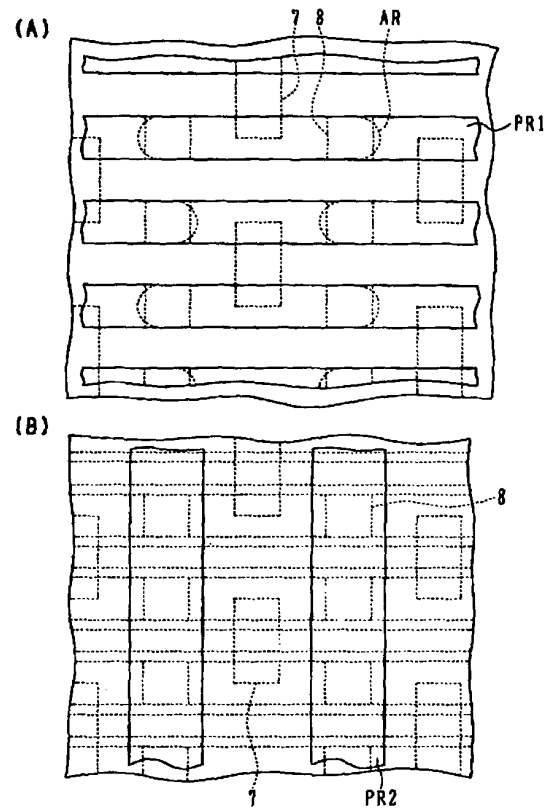
【図20】



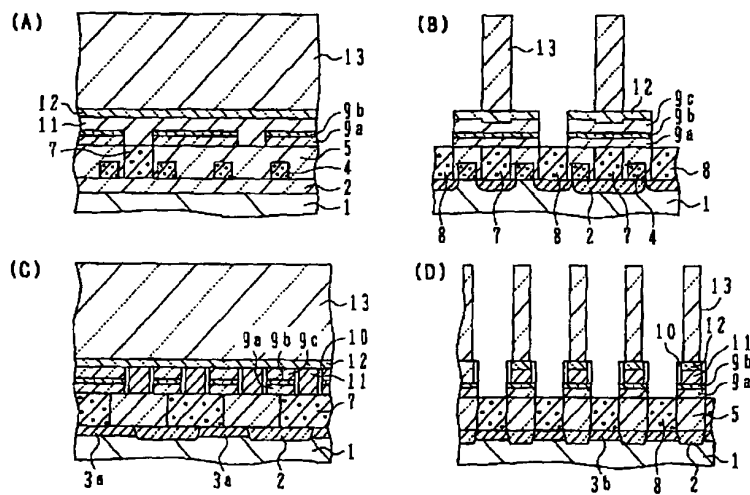
【図4】



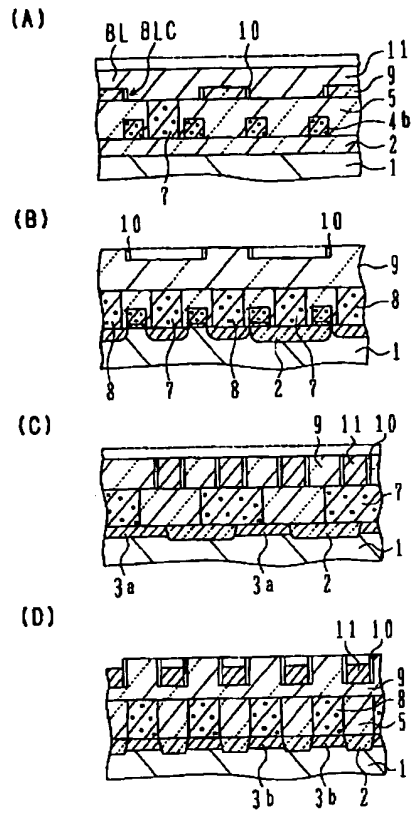
【図5】



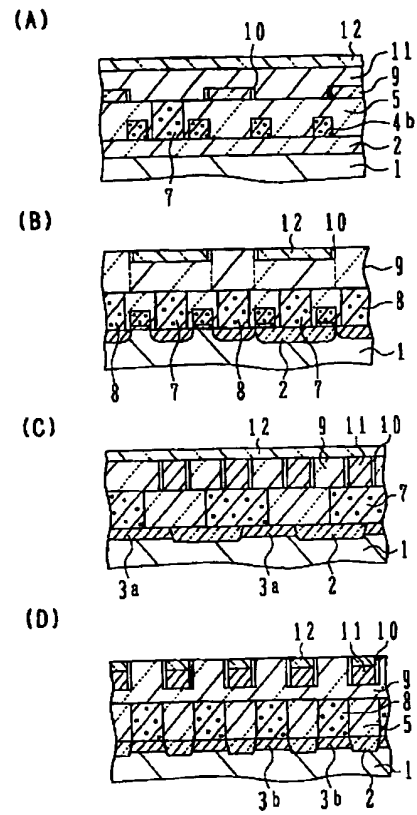
【図17】



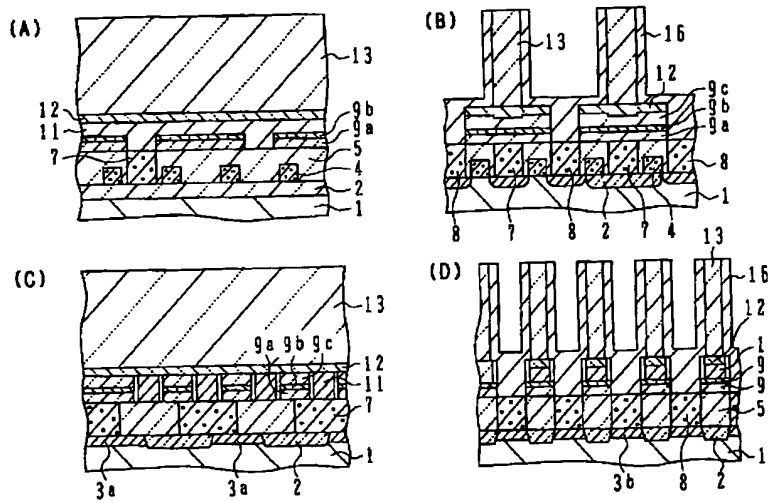
【図 6】



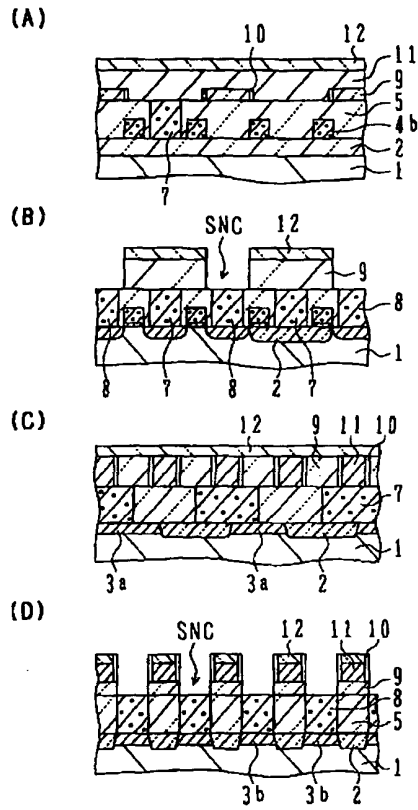
【図 7】



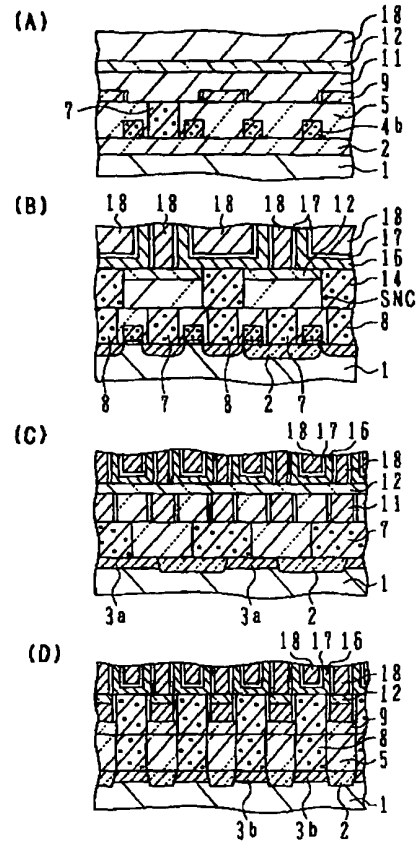
【図 18】



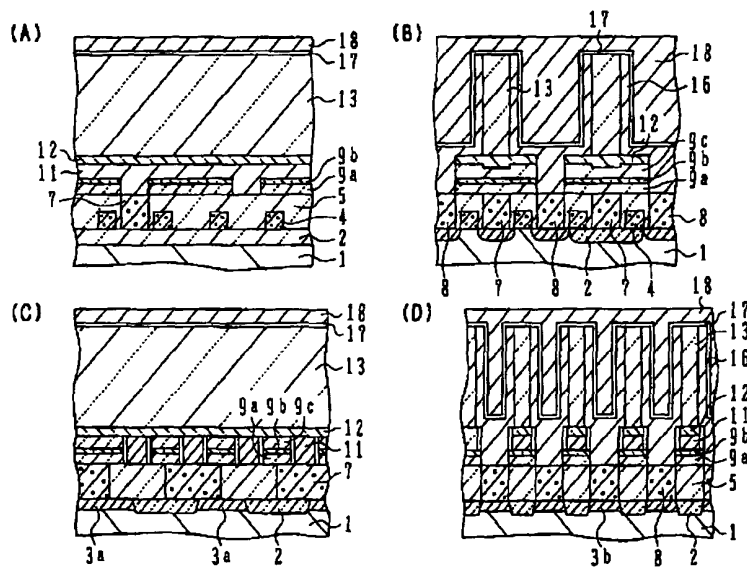
【図8】



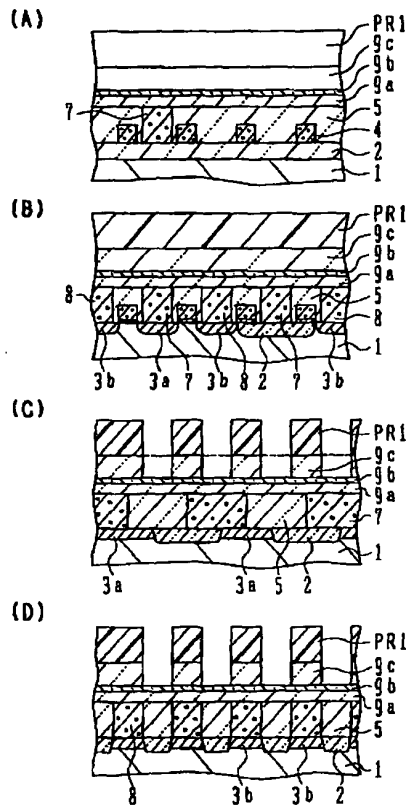
【図9】



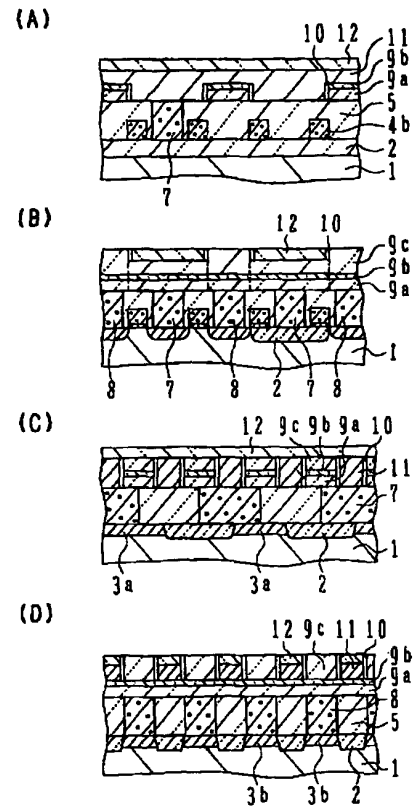
【図19】



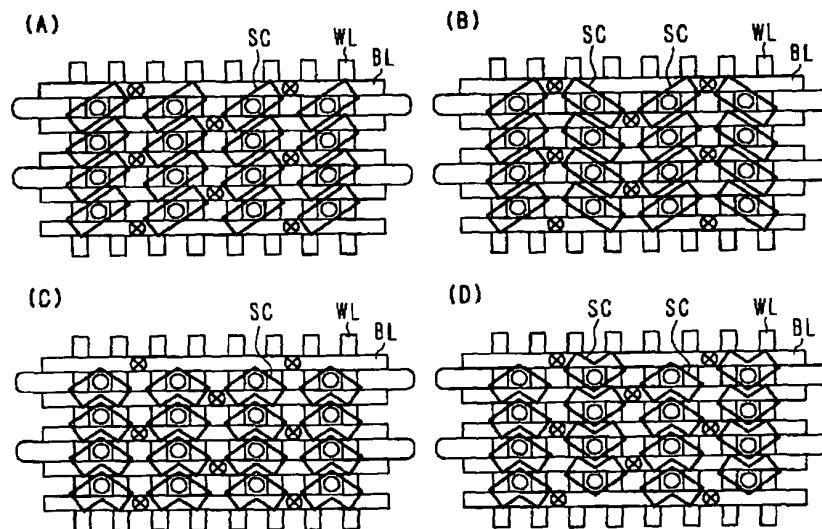
【図10】



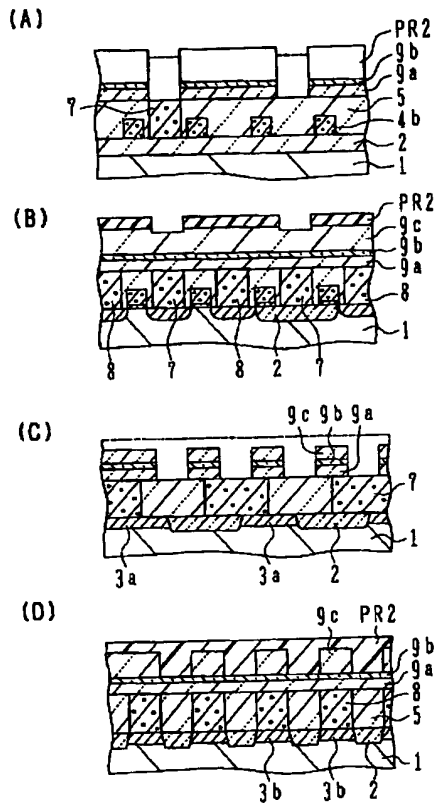
【図12】



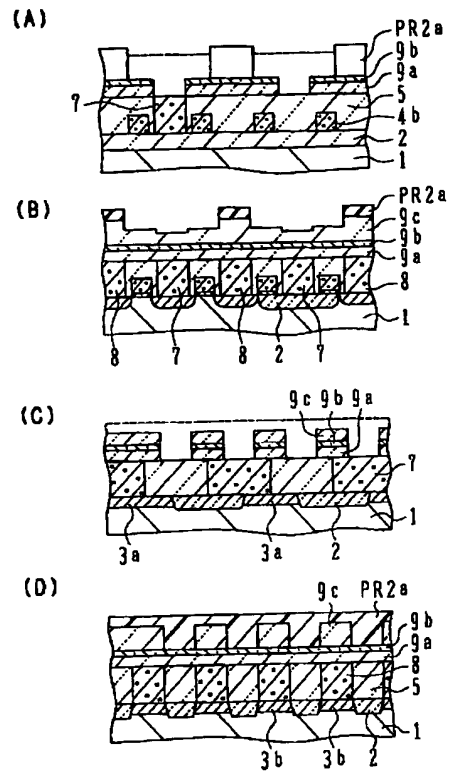
【図21】



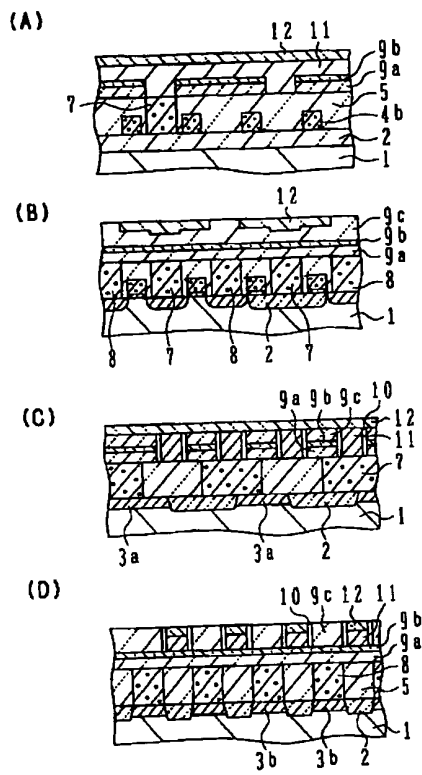
【図13】



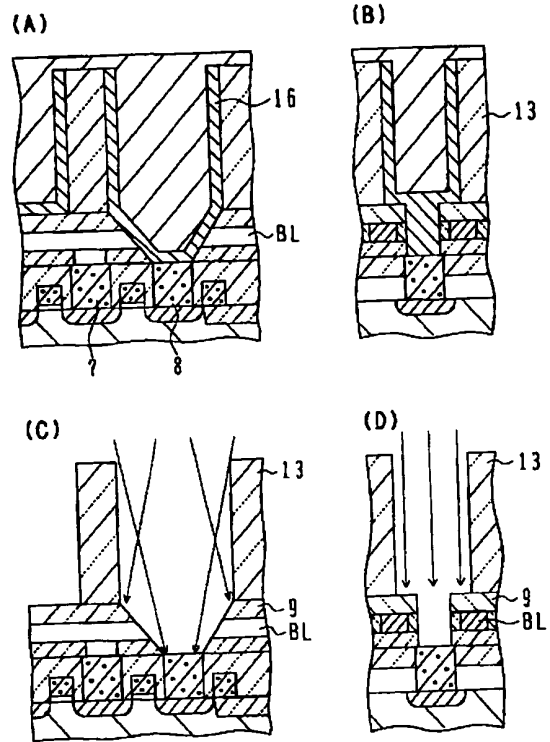
【図14】



【図 15】

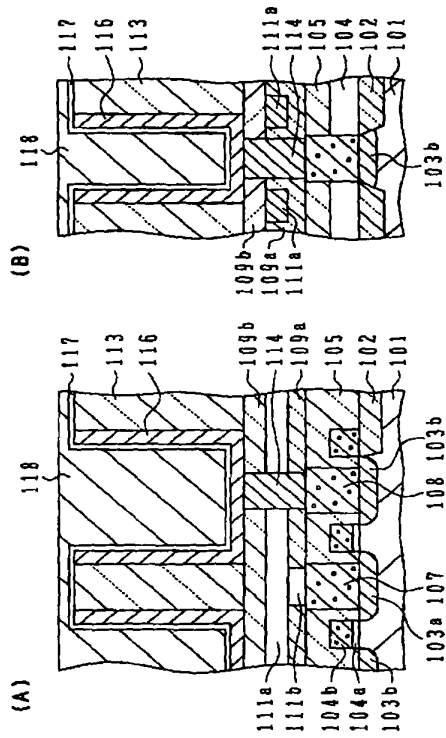


【図 22】



【图 2 3】

従来技術



【图 24】

従来技術

